

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5421475号  
(P5421475)

(45) 発行日 平成26年2月19日(2014.2.19)

(24) 登録日 平成25年11月29日(2013.11.29)

(51) Int.Cl.

F I

H O 4 N 5/374 (2011.01)

H O 4 N 5/335 7 4 O

H O 4 N 5/225 (2006.01)

H O 4 N 5/225 D

H O 1 L 27/146 (2006.01)

H O 1 L 27/14 A

H O 1 L 27/14 (2006.01)

H O 1 L 27/14 D

A 6 1 B 1/04 (2006.01)

A 6 1 B 1/04 3 7 O

請求項の数 15 (全 27 頁)

(21) 出願番号 特願2013-33593 (P2013-33593)  
 (22) 出願日 平成25年2月22日(2013.2.22)  
 (65) 公開番号 特開2014-30170 (P2014-30170A)  
 (43) 公開日 平成26年2月13日(2014.2.13)  
 審査請求日 平成25年5月15日(2013.5.15)  
 (31) 優先権主張番号 特願2012-150521 (P2012-150521)  
 (32) 優先日 平成24年7月4日(2012.7.4)  
 (33) 優先権主張国 日本国(JP)

特許権者において、権利譲渡・実施許諾の用意がある。

早期審査対象出願

(73) 特許権者 711002269  
 零石 誠  
 宮城県仙台市青葉区国見ヶ丘1丁目24番  
 地の4  
 (72) 発明者 零石 誠  
 宮城県仙台市青葉区国見ヶ丘1丁目24番  
 4号  
 審査官 鈴木 肇

最終頁に続く

(54) 【発明の名称】 撮像素子、半導体集積回路及び撮像装置

(57) 【特許請求の範囲】

【請求項1】

外形形状が同一の第一半導体素子と第二半導体素子を互いの第二半導体面が対向するように積層した構造において、第一半導体素子の第一半導体面を二次元画像情報の入力面となる受光領域とし、第一半導体素子の第二半導体面に画素回路及びグローバル配線層を有し、第二半導体素子の第一半導体面には入出力端子を有し、第二半導体素子の第二半導体面には垂直走査回路、水平走査回路、水平読み出し回路を有した構造であって、前記垂直走査回路、前記水平走査回路、前記水平読み出し回路は、平面視座上、前記受光領域の内部に位置するように配置され、かつ前記垂直走査回路の長手方向と前記水平走査回路の長手方向が平行であることを特徴とするMOSセンサ。

【請求項2】

第一半導体素子の第二半導体面において、平面視座上、互いに直交する二方向のグローバル配線群のいずれか一方の配線群を、コンタクトビアを介しこれとは異なる配線層上の新たなグローバル配線群に接続した構造であって、他方の配線群と該新たなグローバル配線群が平面視座上、平行であることを特徴とする請求項1に記載のMOSセンサ。

【請求項3】

前記新たなグローバル配線群は、水平読み出し回路又は垂直走査回路のいずれか一方に接続する配線群であって、これら回路について長手方向が短い回路に接続するグローバル配線群に対し、前記新たなグローバル配線群を形成することを特徴とする請求項2に記載のMOSセンサ。

## 【請求項 4】

前記新たなグローバル配線群を形成するのは、垂直走査回路に接続するグローバル配線群であることを特徴とする請求項 3 に記載のMOSセンサ。

## 【請求項 5】

水平読み出し回路を第二半導体素子の中央部に配置したことを特徴とする請求項 4 に記載のMOSセンサ。

## 【請求項 6】

前記新たなグローバル配線の配線間距離が画素の垂直方向の配列ピッチより広いことを特徴とする請求項 4 又は請求項 5 に記載のMOSセンサ。

10

## 【請求項 7】

制御信号に係るグローバル配線の両端を第一半導体素子の両端部まで延在した構造を有することを特徴とする請求項 1 乃至請求項 6 のいずれか一項に記載のMOSセンサ。

## 【請求項 8】

第一半導体素子の第一半導体面に形成した受光領域の端部における素子分離領域の幅を、受光領域内部の画素間の素子分離領域幅の  $1/2$  としたことを特徴とする請求項 1 乃至請求項 7 のいずれか一項に記載のMOSセンサ。

## 【請求項 9】

円形又は五角形以上の多角形の第一半導体素子、第二半導体素子を積層した円柱形、或いは多角柱形であることを特徴とする請求項 1 乃至請求項 7 のいずれか一項に記載のMOSセンサ。

20

## 【請求項 10】

請求項 7 に記載のMOSセンサを構成する第一半導体素子の一又は複数個を第一のウエーハ基板上に規則的に配置し、かつ制御信号に係るグローバル配線がスクライプ領域を跨いでウエーハ周辺部まで延在していることを特徴とする半導体集積回路を有するウエーハ基板。

## 【請求項 11】

請求項 8 に記載のMOSセンサを構成する第一半導体素子の一又は複数個を第一のウエーハ基板上に連続配置し、制御信号に係る各グローバル配線がウエーハ上において連続しかつウエーハ周辺部まで延在していることを特徴とする半導体集積回路を有するウエーハ基板。

30

## 【請求項 12】

制御信号に係るグローバル配線がウエーハ周辺部においてシャント配線又は入力保護回路に接続していることを特徴とする請求項 10 又は請求項 11 に記載の半導体集積回路を有するウエーハ基板。

## 【請求項 13】

請求項 1 乃至請求項 9 のいずれか一項に記載のMOSセンサを組み込んだプローブ型内視鏡装置。

## 【請求項 14】

請求項 1 乃至請求項 9 のいずれか一項に記載のMOSセンサを組み込んだカプセル型内視鏡装置。

40

## 【請求項 15】

請求項 1 乃至請求項 8 のいずれか一項に記載のMOSセンサを複数個タイル状に密接して並置したことを特徴とする撮像装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、小型化した撮像素子、半導体集積回路及び撮像装置に関する。

## 【背景技術】

## 【0002】

50

固体撮像素子の代表的な構造は、CCD型撮像素子とMOS型撮像素子の二種類に分類される。CCD型撮像素子（以下、CCDセンサと呼ぶ）は、高感度かつ高画質であることに加え、受光領域以外の回路面積が小さいことから、例えば、医療用内視鏡等の小型撮像装置にも広く使われてきた実績がある。しかし、駆動用IC及びCCD専用の製造技術が必要とし、さらに消費電力大きい等の課題を解決する必要がある。後者のMOS型撮像素子、特にCMOS型の撮像素子（以下、MOSセンサと呼ぶ）は、CCDセンサと比較すると、低消費電力であり、かつ標準的なMOS型集積回路製造プロセスを流用することができる。そのため、MOSセンサは、デジタルカメラや携帯電話、監視カメラ、医療用カメラ、その他の画像入力装置等に広く使用されつつある（非特許文献1）。

【0003】

10

増大し続ける医療費削減の観点から、多様な撮像素子が医療機器にも広く適用されつつあり、様々な疾患や障害の早期発見と治療に重要な役割を果たすようになっている。このようなニーズにおいては、従来の民生用デジタルカメラや携帯電話機では必ずしも求められない機能、性能、形態等がある。例えば、医療用内視鏡に用いる撮像素子は、高画質かつ実装面積が小さいことが診断精度の向上と患者負担の軽減には必須となる。従来のMOSセンサの構造は、このようなアプリケーションサイドのニーズに応えるものではなく、例えば、MOSセンサには入射光信号に対し撮像感度を有しない所謂「不感帯領域」が存在するため、カプセル内視鏡や内視鏡プローブの小型化、細径化を阻んでいる。

【0004】

20

図17に示すように、従来のMOSセンサ1は、矩形の受光領域2の外周に沿って垂直走査回路3が、これに直角方向に隣接する一辺に水平走査回路4、信号読み出し回路5が配置されている。特に、CMOS型では、撮像領域に隣接して駆動タイミング発生回路6、AD変換回路7、デジタル信号処理回路8、インターフェース(I/F)回路9等を撮像素子と同一半導体基板上に形成することができる。信号読み出し回路5は、相関二重サンプリング回路(CDS)等のノイズ除去回路から構成されている。さらに、これらを取り囲むように入力又は出力バッファ回路10、入力保護回路11、さらにボンディングパッドと呼ばれる接続端子12が配置されている。なお、図面は簡略化のため、入出力バッファ回路、入力保護回路、ボンディングパッド、画素、その他の回路や配線等の一部を記載し、その他は省略して図示している。

【0005】

30

MOSセンサの受光領域2は、画素13を水平方向に $m$ 個、垂直方向に $n$ 個（合計 $m \times n$ 個）、二次元アレー状に配置した構造からなる。なお、「画素」とは、理解を容易にするため慣例に従い、図示するような矩形シンボル13で表現しているが、このような境界線が素子上に存在するわけではない。実際には、後述するように、光電変換部（フォトダイオード）と電荷を読み出すためのMOSトランジスタの組み合わせを一画素単位とし、これらを二次元アレー状に並べたものが、受光領域2を形成する。画素の代表的な回路構成は、例えば、図17の一部拡大図に示すように、増幅トランジスタ( $T_{r1}$ )、リセットトランジスタ( $T_{r2}$ )、及び行選択トランジスタ( $T_{r3}$ )の合計3個のトランジスタからなる画素回路及びフォトダイオード(PD)14から構成されている。

【0006】

40

これらのトランジスタは画素内部あるいは近傍の画素間で互いに電氣的に接続するための配線（例えば、図中の15）、及び受光領域の外部から、行リセット線16、行選択線17等の制御信号線および受光領域外部への列出力信号線19等の配線がある。さらに、図示していない電源線やグラウンド線等も受光領域内部及び外部に敷設されている。本願発明では、上記、主に画素内及び近傍画素間における配線をローカル配線と呼び、各画素或いは各画素群共通に受光領域を縦断あるいは横断する制御信号線、出力信号線等であって受光領域の外部との電氣的接続を要する配線をグローバル配線と呼ぶ。

【0007】

MOSセンサでは、光電変換を行う受光領域以外の走査回路や信号読み出し回路、その他駆動パルス発生回路等の周辺回路をMOS製造プロセスを用いてオンチップ化できる（例え

50

ば特許文献1)。しかし、画素回路等のアナログ回路とデジタル回路が単一半導体基板上に混在するため、各回路ブロックの性能を最適化することが困難である。

【0008】

また、同一素子サイズにおいては、受光面積に対する周辺回路の面積の割合が大きくなるほど受光領域の面積を相対的に縮小せざるを得ない。図17に示すように、従来のMOSセンサにおいては少なくとも受光領域の外周の2辺に沿ってタテ方向及びヨコ方向にそれぞれ垂直及び水平走査回路、信号読み出し回路等が配置されている。受光領域内にこれら回路を配置すると被写体像を正しく撮影することができないためである。このような垂直及び水平走査回路等の周辺回路領域及び入出力バッファ回路、入力保護回路、ボンディングパッド部等は、入射する光等の物理信号に対し不感帯領域である。

10

【0009】

携帯電話やデジタルカメラで広く使用されているMOSセンサの有効画素領域のサイズには、1/5.8インチ型、1/3.6インチ型、1/2.7インチ型等がある。これに対し医療用内視鏡に使用されるMOSセンサは1/10インチ型等があるが、さらなる小型化が求められている。

【0010】

一般に、撮像素子サイズが小さくなると不感帯領域の受光領域に対する相対的面积の割合が大きくなる傾向がある。ボンディングパッドや入出力バッファ回路の個数は、受光領域のサイズに必ずしも比例しないからである。また、同一素子サイズにおいては受光面積に対する周辺回路の面積の割合が大きいほど、受光領域の面積を相対的に縮小せざるを得ない。

20

【0011】

図17に示すように、従来のMOSセンサでは、少なくとも受光領域の2辺に沿ってその外周にタテ方向及びヨコ方向にそれぞれ垂直及び水平走査回路、信号読み出し回路等が配置されるため、撮像素子の中心位置と図中の+印で示した受光領域の中心位置が一致しない。そのため、撮像装置におけるMOSセンサとレンズ光学系との位置合わせにも留意する必要がある。上述の如く、垂直及び水平走査回路等の周辺回路は、入射光信号に対しては不感帯領域であり、この領域の面積を削減あるいは取り除くことができれば、撮像素子の中心位置と受光領域の中心位置を近接あるいは一致させることが容易になり、レンズ光学系を含めた撮像装置全体の小型化が可能になる。

30

【0012】

MOSセンサにおける不感帯領域の面積が受光領域の面積に比べどの程度の割合を占めるかを見積もると以下ようになる。但し、この比率は、画素サイズ及び画素数、周辺回路の規模、設計ルール等により変動することは言うまでもない。例えば、画素の一边が2.0  $\mu\text{m}$  であって、この画素を二次元アレー状に約500万画素配列したMOSセンサについて概算すると、500万画素からなる受光領域が占める面積は、約22  $\text{mm}^2$  であった。本MOSセンサの素子面積が約56  $\text{mm}^2$  であることから、受光領域を除くボンディングパッド、入出力バッファ回路、垂直及び水平走査回路、駆動タイミング発生回路、AD変換回路、デジタル信号処理回路、インターフェース(I/F)回路等が占める面積は、上記受光領域の面積よりも大きいことが分かる。

40

【0013】

受光面積に対する周辺回路の面積の割合を相対的に小さくする手段として、受光領域を有する第一半導体素子と、周辺回路の一部を形成した第二半導体素子を積層した構造が提案されている(例えば特許文献2)。しかし、上述の如く、受光領域を形成した第一半導体素子の面積よりも周辺回路やボンディングパッド、入出力バッファ回路等を形成した第二半導体素子の面積が大きくなってしまう可能性があることに留意する必要がある。MOSセンサの形状が、第二半導体素子の外形形状により決まるため内視鏡の細径化を困難にする。特に医療用内視鏡においては、細い撮像プローブ内に撮像部を組み込むため、MOSセンサ自体の小型化が必須となる。

【0014】

50

また、従来の固体撮像素子は、他の半導体集積回路素子と同様にその外形形状及び受光領域の形状は矩形である。これは、液晶ディスプレイ等の画像表示装置或いはハードコピー（写真プリント）の画面或いは画像が矩形であることと符合する。しかし、レンズ光学系によりMOSセンサ上に結像する画像は、レンズ形状と同様に円形である。そのため、従来の矩形の撮像素子を使用する限り、受光領域外の画像情報は検出されず、矩形の受光領域内の画像情報のみが電気信号に変換され外部に読み出される。他方、レンズ光学系によりMOSセンサ上に結像した円形画像を受光領域内に入るようにし、全ての入射画像情報を外部に読み出すことも可能であるが、そうすると逆に矩形の受光領域の全てを有効活用できず、MOSセンサの大型化が避けられない。

【 0 0 1 5 】

10

特許文献 3 は、カプセル内視鏡に用いるMOSセンサの小型化を図るため、電子シャッター用垂直走査回路を備えず、さらに受光領域中心とセンサの中心位置がほぼ一致するような回路レイアウトを開示しているが、MOSセンサ上には不感帯となる走査回路が配置されている。

【 0 0 1 6 】

特許文献 4 は、撮像素子及び周辺回路素子を実装した撮像基板全体を小型化するため、CCDセンサを周辺回路素子の上に積層した構造を開示している。周辺回路素子は、プリント基板上にフリップチップ実装されている。これに対して、CCDセンサは、ワイヤボンディングにより直接プリント基板と結線されている。このように、半導体素子を積層し立体構造とすることにより、従来プリント基板上に二次元平面配置されていたCCDセンサ及び周辺回路素子等の基板実装面積の縮小を図っているが、CCDセンサ上には不感帯となる水平転送CCD部及びボンディングパッドが残されている。

20

【 0 0 1 7 】

特許文献 5 及び特許文献 6 はいずれも撮像素子を形成するアナログ回路と読み出し及び駆動回路を形成するCMOS論理回路では、それぞれの回路特性を最適化する製造プロセス要件が異なることに着目し、撮像素子部と周辺回路部を別チップに分離し積層する手段を開示している。特に近年、従来のワイヤボンディングに替わるTSV（Through Silicon Via）と呼ばれる半導体素子間の電氣的結合技術が広く普及しつつあり、積層した半導体素子の小型化を加速している。特許文献 5 においては、列（水平）走査回路及び信号処理回路を下段の第二チップに設けているので、上段の撮像素子をさらに小型化できる効果も期待できる。しかし、特許文献 5 及び特許文献 6 において開示された撮像素子には、いずれも水平、垂直走査回路の両方または一方が撮像素子上に配置されている。

30

【 0 0 1 8 】

上述の如く、MOSセンサ上に配置されていた回路の一部をセンサとは独立の別の半導体素子に設ける場合には、従来必要としなかった入力保護回路が入力ゲート電極側に必要となる。例えば、画素を駆動する制御信号（図 17 における行リセット、行選択信号等）を撮像素子上の垂直走査回路から供給せずに、他の独立した素子から供給される場合には、これらの制御信号が入力するMOSトランジスタのゲート酸化膜を静電破壊から保護する手段を講じなければならない。

【 0 0 1 9 】

40

内視鏡、携帯電話等に使用されるMOSセンサの一画素のサイズあるいは画素ピッチは、数ミクロンメートル以下であり、これに対応した水平、垂直走査回路を構成するシフトレジスタ回路の一行あるいは一列あたりの配列ピッチもこれと同等である。従って、水平、垂直走査回路を第一半導体素子と同一形状、同一面積の第二半導体素子上に形成するには、積層した半導体素子間における水平、垂直走査回路の一行、一列毎の駆動及び読み出し、及びそれらの制御信号線、画素出力信号線との電氣的接続構造に関する解決手段を見出す必要がある。

【 0 0 2 0 】

特許文献 7 は、撮像素子自体の形状を円形あるいは五角形以上の多角形とした構造を開示している。しかし、水平、垂直走査回路が円形あるいは多角形の撮像素子外周と矩形の

50

受光領域との間に配置されている。なお、同文献の実施例10(図11(d))には、周辺回路領域が無く、撮像素子面全体が感光素子領域に割り当てられている構成が図示されているが、下段の周辺回路素子の構造が不明であり、そのため撮像素子を駆動する具体的手段については開示されていない。

#### 【0021】

図17に示すように、水平、垂直走査回路を構成する多段シフトレジスタ回路を受光領域の外周2辺に沿って配置することにより、画素列及び行方向の画素ピッチと等しくかつ各行及び各列のグローバル配線長を揃えることができた。信号伝搬時間のズレや画素信号レベルの相違による固定パターンノイズ等の画質低下要因を回避するためである。他方、第一半導体素子上に形成された受光領域の直下に、同一形状の第二半導体素子を積層した場合、第二半導体素子上において水平、垂直方向を合わせかつ同一画素ピッチの水平、垂直走査回路を配置することができない。光電変換部を有する第一半導体素子と駆動及び信号読み出し回路等を形成した第二半導体素子を積層した構造においては、このような水平、垂直走査回路の配置をとることができないという技術課題を克服しなければならない。

#### 【先行技術文献】

#### 【特許文献】

#### 【0022】

【特許文献1】特開平10-224696

【特許文献2】特開2001-339057

【特許文献3】特開2007-124288

【特許文献4】特開平11-261044

【特許文献5】特開2006-49361

【特許文献6】特開2004-146816

【特許文献7】特開2010-273757

【特許文献8】特開2002-192370

#### 【0023】

【非特許文献1】「CCD/CMOSイメージ・センサの基礎と応用」米本和也著、CQ出版社(2003年8月10日発行)

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0024】

本発明は、上記事情に鑑みてなされたものであり、MOSセンサ上の不感帯領域を削減しMOSセンサ上に結像した画像情報を効率的に電気信号に変換するため、画素を駆動する水平、垂直走査回路等を第二半導体素子上に配置した構造において上記技術課題を克服し、さらに積層構造における静電気破壊を防止可能な高信頼、高歩留り、低コストのMOSセンサ及びこれを備えた撮像装置を提供することを目的とする。

#### 【課題を解決するための手段】

#### 【0025】

本発明に係るMOSセンサの一態様によれば、少なくとも外形形状が同一の第一半導体素子と第二半導体素子を積層した構造であって、第一半導体素子の一方の面(第一半導体面)を二次元画像情報の入力面となる受光領域とし、その反対側の面(第二半導体面)に画素回路及びグローバル配線層を有し、第二半導体素子の一方の面(第二半導体面)には垂直走査回路、水平走査回路、水平読み出し回路その他の周辺回路を有し、その面から基板貫通電極(TSV)により電気的に接続した入出力端子をその反対側の面(第一半導体面)に設けた構造であって、垂直走査回路、水平走査回路、水平読み出し回路は、平面視座上、前記受光領域の内部に位置するように配置され、かつ第二半導体素子上の垂直走査回路部の長手方向と水平走査回路部の長手方向が平行であることを特徴とする。好適には、第一半導体素子の受光領域を形成した面とは反対側の面において平面視座上、互いに直交する二方向のグローバル配線群のいずれか一方の配線群をこれとは異なる配線層上の新たな配線群に接続する構造により、他方の配線群と該新たな配線群が平面視座上、平行であ

ることを特徴とする。

【0026】

本構造により、受光領域を形成した第一半導体素子の第一半導体面における不感帯領域の面積を削減又は実質的にゼロにすることができるので、MOSセンサの受光領域の面積を拡大することができ、同一素子サイズ・同一画素数であれば、画素サイズを拡大できるので高感度化できる。また、第一半導体素子と同一形状、同一面積の第二半導体素子上に垂直及び水平走査回路を配置し、さらに第二半導体素子の第一半導体面に入出力端子を形成したので、周辺回路を形成する第二半導体素子の第一半導体面の面積増加を抑制できる。さらに、本構造により、第一半導体素子の外形形状と下層の第二半導体素子の外形形状が同一であっても、第二半導体素子上において垂直走査回路の長手方向と水平走査回路及び読み出し回路の長手方向が互いに交差しないので、第一半導体素子の面積と第二半導体素子の面積を同一にすることができ、垂直或いは水平走査回路の長手方向の配列ピッチを圧縮する必要がない。その結果、第一半導体素子上のマイクロバンプとこれらに対応する第二半導体素子上のマイクロバンプを互いに近接させることができるので信号線の負荷容量を低減できる。

10

【0027】

さらに、本発明に係るMOSセンサの一態様によれば、前記新たなグローバル配線を形成するのは、水平走査回路部又は垂直走査回路部のいずれか一方であって、長手方向が短い走査回路に接続するグローバル配線群であることを特徴とする。本構造により、第二半導体素子上の垂直走査回路部の長手方向と水平走査回路部の長手方向を平行になるように配置しても、垂直または水平走査回路を構成する一行又は一列の幅を画素の一行又は一列の幅よりも狭くする必要がない。

20

【0028】

さらに、本発明に係るMOSセンサの一態様によれば、前記新たなグローバル配線を形成するのは、垂直走査回路部に接続するグローバル配線群であることを特徴とする。本構造により、水平読み出し回路部に接続するグローバル配線、即ち出力信号線の配線長を延長する必要が無く、信号線負荷容量の増大を回避できる。

【0029】

さらに、本発明に係るMOSセンサの一態様によれば、前記新たなグローバル配線を形成した信号線については、それぞれのグローバル配線の配線長の合計が互いに同一になるように、新たなグローバル配線の長さを延長した延長部を有することを特徴とする。本構造により、信号線負荷容量が一樣になるので、信号遅延のバラツキに起因する感度ムラや固定パターンノイズ等の画質低下を改善或いは防止することができる。

30

【0030】

さらに、本発明に係るMOSセンサの一態様によれば、水平読み出し回路の画素信号入力接点が垂直画素列の中央部に位置することを特徴とする。本構造により、第一半導体素子の第二半導体面に形成された垂直信号線の中央部分において電氣的接続をとることができるので、垂直信号線の端部において電氣的接続をとる場合に比べ、撮像面内の上下位置に起因する信号線負荷変動の影響を軽減し、シェーディングを改善できる。

【0031】

さらに、本発明に係るMOSセンサの一態様によれば、第二半導体素子上に形成した垂直走査回路の配列ピッチが画素の垂直方向の配列ピッチより広い配列ピッチであることを特徴とする。受光領域の外形が横長である場合には、垂直走査回路の長手方向の寸法が水平走査回路の長手方向の寸法より小さいので、水平走査回路の長手方向の寸法を超えない範囲において垂直走査回路の長手方向の寸法を拡大することができるからである。これにより、垂直走査回路の配列ピッチを広げ回路配置を容易にし、画素微細化或いはMOSセンサを小型化できる。

40

【0032】

さらに、本発明に係るMOSセンサの一態様によれば、第一半導体素子及び第二半導体素子の外形形状は正方形又は長方形であって、素子周辺の四隅（コーナ部）の一又は複数個

50

所において、研磨領域を有することを特徴とする。本構造により、MOSセンサが実装される撮像装置に合わせ、MOSセンサ外周のコーナ部を研磨等により除去でき、MOSセンサ及びこれを搭載した撮像装置をさらに小型化することができる。

【0033】

さらに、本発明に係るMOSセンサの一態様によれば、第二半導体素子上には前記長手方向が平行である垂直走査回路部、水平走査回路部及び水平信号読み出し回路部、インターフェース(I/F)回路部を有し、駆動タイミング発生回路、デジタル信号処理回路及び外部インターフェース(I/F)回路部を有する第三半導体素子を第二半導体素子の第一半導体面に積層した構造であることを特徴とする。本構造により、周辺回路を設けた第二半導体素子の面積が受光領域を形成した第一半導体基板の面積よりも大きくなることを防止できるので、MOSセンサ及びMOSセンサが実装される撮像装置をさらに小型化することができる。より好適には、円形又は五角形以上の多角形の第一半導体素子、第二半導体素子、第三半導体素子を積層した円柱形、或いは多角柱型であることを特徴とする。

10

【0034】

さらに、本発明に係るMOSセンサの一態様によれば、制御信号に係るグローバル配線を受光領域外の端部まで延長し、各グローバル配線に、画素行又は列に隣接した保護回路に接続していることを特徴とする。より好適には、該保護回路は、第一半導体素子の第一半導体面側に形成した遮光膜の下方に形成されることを特徴とする。本構造により、グローバル配線につながる各画素の入力ゲート酸化膜の静電気破壊を防止でき、さらに保護回路が遮光膜下方に配置しているので、光電荷による誤動作を回避できる利点がある。

20

【0035】

さらに、本発明に係るMOSセンサの一態様によれば、制御信号に係るグローバル配線の両端を第一半導体素子の端部まで延在した構造を有することを特徴とする。本構造により、第一半導体素子を形成する第一ウエーハ基板上においてグローバル配線を連続して電気的接続をとることができるので、グローバル配線と接続する入力ゲート酸化膜の静電破壊を防止することができる。

【0036】

さらに、本発明に係るMOSセンサの一態様によれば、第一半導体素子の第一半導体面側に形成した受光領域の端部における素子分離領域幅は、受光領域内部の画素間の素子分離領域幅の1/2であることを特徴とする。本構造により、二以上のMOSセンサを近接させた多面撮像装置を構成する場合において、素子間において画素の欠落を防止することができ、また素子間につなぎ目がある場合においても画素のサンプリングポイントを複数素子間において一様に維持することができる。

30

【0037】

さらに、本発明に係る半導体集積回路の一態様によれば、前記MOSセンサを構成する第一半導体素子を一又は複数個を第一のウエーハ基板上に規則的に配置し、かつスクライプ領域を跨いで各グローバル配線がウエーハ周辺部まで延在し、シャント配線又は入力保護回路に接続していることを特徴とする。本構造により、本発明に係るMOSセンサを構成する第一半導体素子上に入力保護回路を設けることなく、ウエーハ状態においても第一半導体素子上のグローバル配線に接続する入力ゲート電極下のゲート酸化膜を静電気破壊から保護できるので、MOSセンサの信頼性の向上、及び製造歩留りを向上させ、製造コストを削減することができる。

40

【0038】

さらに、本発明に係る半導体集積回路の一態様によれば、前記MOSセンサを構成する第一半導体素子を一又は複数個を第一のウエーハ基板上に規則的に連続して配置し、各グローバル配線がウエーハ上において連続しかつウエーハ周辺部まで延在していることを特徴とする。さらに好適には、該グローバル配線の端部には、シャント配線又は入力保護回路が接続されていることを特徴とする。本構造により、MOSセンサを構成する第一半導体素子上に入力保護回路を設けることなく、ウエーハ状態においても第一半導体素子上のグローバル配線に接続する入力ゲート電極下のゲート酸化膜を静電気破壊から保護できるので、

50



MOSセンサの信頼性の向上、及び製造歩留りを向上させ、製造コストを削減することができる。

【0039】

さらに、本発明に係る半導体集積回路の一態様によれば、前記第一半導体素子の第一半導体面側に形成した受光領域の端部における素子分離領域の幅を、受光領域内部の画素間の素子分離幅の1/2とした第一半導体素子を一又は複数個、第一のウエーハ基板上に連続配置したことを特徴とする。第一のウエーハ基板上において画素を均一な配列ピッチでかつ連続的に分布させることができるので、必要とされるMOSセンサの外形形状、即ち総画素数の多い大サイズのMOSセンサから総画素数の少ない小サイズのMOSセンサまで対応でき、その外形形状もダイシング位置により自由に変更することができる。

10

【0040】

本発明に係る撮像装置は、本発明に記載のMOSセンサを組み込んだプローブ型内視鏡装置であることを特徴とする。小型化したMOSセンサを組み込むことにより、内視鏡プローブの細径化が可能になる。

【0041】

本発明に係る撮像装置は、本発明に記載のMOSセンサを組み込んだカプセル型内視鏡装置であることを特徴とする。ローコストかつ小型化したMOSセンサを組み込んだカプセル型内視鏡による診断と治療の普及に貢献できる。

【0042】

本発明に係る撮像装置は、本発明に記載のMOSセンサを複数個使用した撮像装置であることを特徴とする。素子間における画素の欠落を無くし、画素のサンプリングポイントを複数の素子間において一様に維持することができるので、例えば、複数のMOSセンサを個別に体内に搬入し、体内患部近傍においてこれら複数のMOSセンサを組み合わせ、受光領域の面積を容易に拡大することができる。

20

【発明の効果】

【0043】

本発明によれば、MOSセンサを小型化できるので、これを用いた内視鏡プローブやカプセル内視鏡の細径化、小型化が容易になり患者の苦痛を低減できる。受光領域の周囲に走査回路、その他の周辺回路やボンディングパッドの配置を回避できるので、受光領域の中心位置と素子の中心位置を一致させることができる。そのため、光学系を含めた撮像モジュールの小型化が容易になる。受光領域の周囲に走査回路等がないため、受光領域の外形形状が矩形に限定されず、使用目的に応じて例えば多角形や円形に近い形状とすることが容易になり、内視鏡等の低侵襲化が可能になる。MOSゲート入力回路につながるグローバル配線は、MOSセンサ製造工程においてシャント配線又は入力保護回路に接続しているので、ゲート絶縁膜の静電破壊を抑止することができる。加えて、MOSセンサの小型化によるスクライブラインの本数増加に対しても、MOSセンサの面付け数を増やすことができるので、特に大幅なコストダウンを要求される使い捨てのカプセル型内視鏡用途等に適用する上で極めて有用である。

30

【図面の簡単な説明】

【0044】

40

【図1】(a)は第一半導体素子110のグローバル配線と画素配置を説明する平面図、(b)は第二半導体素子120の第二半導体面上の回路等の配置を示す平面図、及び(c)は第一半導体素子110の第二半導体面と第二半導体素子120の第二半導体面を対抗させ積層したMOSセンサの斜視図である。

【図2】(a)は第一の半導体素子110と第二半導体素子120を積層したMOSセンサであって、図1に示したA-A'部分の断面図、(b)はB-B'部分の断面図、及び(c)は第二半導体素子120の第二半導体面の平面図である。

【図3】(a)は第一の実施形態における第一半導体素子110のグローバル配線と画素配置を説明する平面図、及び(b)は第二半導体素子120の第一半導体面上の回路等の配置を示す平面図である。

50

【図4】(a)は第二の実施形態における第二半導体素子120の第一半導体面上の回路等の配置を示す平面図、及び(b)は第一半導体素子110と第二半導体素子120を積層したMOSセンサにおける(a)に示すA-A'部の断面構造図である。

【図5】(a)は4トランジスタ構成の画素等価回路図、及び(b)は4画素共有回路構成における等価回路図である。

【図6】(a)は第三の実施形態における第一半導体素子110のグローバル配線と画素配置を説明する平面図、及び(b)は第二半導体素子120上の回路等の配置を示す平面図である。

【図7】(a)は第四の実施形態における第一半導体素子110のグローバル配線と画素配置を説明する平面図、及び(b)は第二半導体素子120上の回路等の配置を示す平面図である。

【図8】(a)は第五の実施形態における第一半導体素子110のグローバル配線と画素配置を説明する画素配置を示す平面図、(b)は第二半導体素子120上の回路等の配置を示す平面図、及び(c)はMOSセンサの四隅(コーナ部)の研磨前、研磨後の斜視図である。

【図9】(a)は第六の実施形態における第一半導体素子110の画素配置を示す平面図、(b)は第二半導体素子120上の回路等の配置を示す平面図、及び(c)は第一半導体素子110の第二半導体面と第二半導体素子120の第一半導体面を対抗させかつ第二半導体素子120の第二半導体面と第三半導体素子130の第一半導体面積を対抗させ積層したMOSセンサの斜視図である。

【図10】(a)は第七の実施例における第一半導体素子110の第一半導体面の平面図、及び(b)はA-A'部における断面構造図である。

【図11】(a)は一般的な入力保護回路11の等価回路図、及び(b)は実施形態における入力保護回路11'の接続を説明する等価回路図である。

【図12】(a)は第八及び第九の実施形態における第一半導体素子110のグローバル配線と画素配置を説明する平面図、及び(b)はA-A'部における断面構造図である。

【図13】(a)は第十の実施形態におけるウエーハ基板210の平面図、(b)はその一部拡大図、及び(c)は隣接する第一半導体素子間の断面構造図である。

【図14】(a)は第十一の実施形態におけるウエーハ基板210における第一半導体素子のパターニングを示す平面図、(b)はウエーハ基板210とウエーハ基板220を積層した半導体集積回路300の断面図、及び(c)は断面図(b)の一部拡大図である。

【図15】実施形態におけるMOSセンサの製造工程を示すフローチャートである。

【図16】(a)、(b)、及び(c)は、それぞれ第十二、第十三、第十四の実施形態に係るプローブ型内視鏡装置、カプセル型内視鏡装置、及び多面撮像装置の外形図である。

【図17】従来のMOSセンサの構造図及び一部拡大図である。

【発明を実施するための形態】

【0045】

図1(a)は、第一半導体素子110のグローバル配線と画素配置を説明するための平面図である。第一半導体素子110は、第一半導体面とその反対側の第二半導体面を有する。本図では、第一半導体素子110の第一半導体面に形成された $m \times n$ 個のアレー状に配置した画素13と第二半導体面側に形成されたグローバル配線16, 17, 19及びマイクロパッド20等の位置関係を説明するため、これらを同一の図面上に図示している。即ち、第一半導体素子110の第一半導体面側から、第一半導体素子110の第二半導体面を透視した図面となっている。画素13は、入射光信号を第一の半導体素子110の第二半導体面に形成された画素読み出し回路、例えば図17の一部拡大図に示した3トランジスタ構成の画素回路等により電気信号に変換する。

【0046】

同図(b)は、第二半導体素子120の第二半導体面上に形成された回路等の配置を示す平面図の一例ある。第二半導体素子120の反対側の面(第一半導体面)には図示して

10

20

30

40

50

いない外部入出力端子が配置されている。これら第一半導体素子 1 1 0 と第二半導体素子 1 2 0 を互いの第二半導体面が対向するように積層することにより構成したMOSセンサ 1 0 0 の斜視図を同図 ( c ) に示す。

#### 【 0 0 4 7 】

第一半導体素子 1 1 0 には、画素を駆動する垂直走査回路、水平走査回路、信号読み出し回路、その他の周辺回路を配置せず、これらを第二半導体素子 1 2 0 の第二半導体面上に形成している。そのため、第一半導体素子 1 1 0 の第一半導体面は、画素 1 3 からなる受光領域により全領域が占有されている。従って、素子の中心位置が受光領域中心位置 ( 同図 ( a ) の + 印 ) と一致する構造が実現し、さらに不感帯領域を無くした撮像面を形成することが可能である。

10

#### 【 0 0 4 8 】

3トランジスタ構成の画素回路は、リセット信号 1 6 及び行選択信号 1 7 により駆動され、フォトダイオードに蓄積した信号電荷を出力信号線 1 9 により外部に読み出す。これらの信号線 1 6 , 1 7 , 及び 1 9 はグローバル配線となり受光領域外、即ち第二半導体素子上に形成された駆動回路等の周辺回路とマイクロパッド 2 0 、後述するマイクロバンプを介し接続する。本図では、一画素あたり二本の行方向のグローバル配線とこれに直交する方向に走る一本の列方向グローバル配線が形成される。その結果、 $m \times n$  画素からなる受光領域の場合には、電源及びグラウンド配線を除いて、少なくとも行方向に 2 m 本、列方向に n 本のグローバル配線が設けられる。

#### 【 0 0 4 9 】

20

本図 ( b ) に図示した第二半導体素子 1 2 0 の第一半導体面上には、後述するように外部入出力端子が形成されている。他方、第二半導体面上には、上述の如く第一半導体素子 1 1 0 を駆動する垂直走査回路 3 、水平走査回路 4 及び信号読み出し回路 5 その他の周辺回路 ( 6 , 7 , 8 , 9 ) が形成されている。第一半導体素子 1 1 0 を駆動するため、マイクロパッド 2 0 が走査回路の各行および各列に配置されている。さらに第二半導体素子 1 2 0 は、外部回路からの入力信号、外部回路への出力信号及び電源線、グラウンド線等がパッド 2 1 から TSV 2 2 を介し、図示しない外部入出力端子と接続する。外部入力端子には入力保護回路 1 1 が、外部入出力端子には入出力バッファ回路 1 0 が接続している。

#### 【 0 0 5 0 】

一般に、異なる素子間において電気信号の授受を行う場合には、各々の素子が有するボンディングパッドに接続した入出力バッファ回路を介し電氣的接続を行うのに対し、本構造においては後述するように、第一半導体素子の第二半導体面が、第二半導体素子の第二半導体面と互いに対面するように積層し、前記第一半導体素子のマイクロパッド 2 0 と前記第二の半導体素子のマイクロパッド 2 0 とが後述するマイクロバンプを介し直接電氣的に接続している。そのため、第一半導体素子のグローバル配線と第二半導体素子の入出力接点との間には入出力バッファ回路や入力保護回路は存在しない。

30

#### 【 0 0 5 1 】

第一半導体素子の第二半導体面上における 2 m 本の入力信号グローバル配線と n 本の出力信号グローバル配線は、第二半導体素子と電氣的に接続するため、後述するように、コンタクトビアを有している。同様に第二半導体素子の第二半導体面上にも第一半導体素子の第二半導体面上にマイクロパッド 2 0 を有し、コンタクトビアを介し第二半導体素子の第二半導体面側に形成した走査回路その他と接続している。

40

#### 【 0 0 5 2 】

なお、図 1 ( a ) における列方向のグローバル配線 1 9 に対応するマイクロパッド 2 0 の配列ピッチと図 1 ( b ) の信号読み出し回路 5 におけるマイクロパッド 2 0 の配列ピッチが異なっている。行方向のグローバル配線を駆動する垂直走査回路 3 を第一半導体素子と同一形状の第二半導体素子上において、水平走査回路 4 、信号読み出し回路 5 と交差しないように配置するためである。このような場合には、グローバル配線 1 9 に対応するマイクロパッド 2 0 又は信号読み出し回路 5 におけるマイクロパッド 2 0 のいずれか或いは両方の配列ピッチを変更する必要がある。即ち、他の配線を追加し、画素の配列と走査回

50

路のピッチを整合させる必要がある。本課題の解決方法については、図3以降において詳述する。

【0053】

図2(a)、(b)は、第一半導体素子と第二半導体素子とを貼り合わせて形成したMOSセンサの断面構造を説明するための断面図である。第一半導体素子と第二半導体素子を接着層27により積層した構造であって、図1に示したA-A'部分に対応した断面図(a)、B-B'部分に対応した断面図(b)及び第二半導体素子の第一半導体面の平面図(c)である。

【0054】

第一半導体素子110と第二半導体素子120は、互いの第二半導体面が対面するように積層されている。従って、第一半導体素子の第一半導体面が光入射方向に対して露出している。これに対し、第二半導体素子の第一半導体面には外部接続端子23が露出している(同図(b)、(c))。第一半導体素子110と第二半導体素子120の間には、第一半導体素子と第二半導体素子が対向し、各信号に対応する位置にあるマイクロパッド20とこれらの間隙において電氣的接続を可能にするマイクロバンプ26が形成されている(同図(a))。マイクロバンプ26は、例えば、In(インジウム)とAu(金)を含有している。

【0055】

図2(a)に示した図1のA-A'部の断面構造についてさらに詳しく説明する。第一半導体素子の第一半導体面には、フォトダイオード14、素子分離領域28が形成されている。素子分離領域28には、公知のシャロートレンチアイソレーション(STI)、高濃度不純物層、或いはLOCOSと呼ばれる厚いシリコン酸化膜層のいずれであっても良い。第一半導体素子の第二半導体面には、画素回路を構成するMOSトランジスタやローカル配線が形成される。図中の29は、MOSトランジスタを構成するソース或いはドレイン領域(例えば高濃度不純物をドーブしたn型シリコン層)を示している。グローバル配線16及び17は、同一のメタル配線層をパターニングすることにより形成される。グローバル配線16及び17は、同一方向に延在し、互いに交差し短絡することがないからである。グローバル配線16及び17は層間絶縁膜により被覆されているため、コンタクトビア25を介してグローバル配線の一部とマイクロパッド20を接続している。第二の半導体素子についても同様に、グローバル配線16及び17に駆動信号を供給或いは出力信号19を入力するマイクロパッド20がコンタクトビア25を介し内部回路に接続している。

【0056】

第一半導体素子には、グローバル配線16及び17とは90°延在方向が異なるグローバル配線19が他と異なる配線層に形成されている。グローバル配線16及び17と交差させないためである。なお、図1(a)のA-A'部には、本来、グローバル配線19は存在していないが、配線層の相対的な位置関係を説明するため、あえて図2(a)にグローバル配線層19を書き加えている。

【0057】

図2(b)に図示するように、第二半導体素子120の第一半導体面には、外部接続端子23が形成され、第二半導体面に形成されたパッド21と電氣的に接続している。パッド21の近傍には、入力或いは出力バッファ回路10が付加されている。外部接続端子23とパッド21を電氣的に接続可能にするため、Si基板を貫通するシリコン貫通ビア(TSV)22が形成されている。

【0058】

図3は、第一の実施形態における第一半導体素子110及び第二半導体素子120の構造を示す平面図(a)及び(b)である。同図(a)も図1(a)と同様、第一半導体素子110の第一半導体面側から、第一半導体素子110の第二半導体面を透視した図面となっている。図1と同様に、第一半導体素子110は、第一半導体面とその反対側の第二半導体面を有する。本図では、第一半導体素子110の第一半導体面に形成されたm×n個のアレー状に配置した画素13と第二半導体面側に形成されたグローバル配線16、1

10

20

30

40

50

7, 19及びマイクロパッド20等の位置関係を説明するため、これらを同一の図面上に図示している。画素13は、入射光信号を第一半導体素子110の第二半導体面に形成された3トランジスタ構成等の画素読み出し回路により電気信号に変換する。

#### 【0059】

図1において説明したように、第一半導体素子110と第二半導体素子120を互いの第二半導体面が対向するように積層することによりMOSセンサを構成した。そのため、水平及び垂直方向のグローバル配線を駆動する垂直、水平走査回路、及び水平読み出し回路を第一半導体素子と同一形状の第二半導体素子上に配置する場合は、何れか一方の走査回路の長手方向の寸法を縮小する必要がある。これら走査回路を受光領域の外周に配置できないためである。その結果、マイクロパッド20の配列ピッチを変更、或いは、他の配線を追加し、画素の配列と走査回路のピッチを整合させる必要があり、信号線の配線長を均一に揃えることが困難であった。そこで、このような技術課題を解決したのが、図3(a)、(b)に図示した構造からなるMOSセンサである。

#### 【0060】

本実施例では、図3(b)に示すように、第二半導体素子上の垂直走査回路部3の長手方向と水平走査回路部4及び水平読み出し回路部5の長手方向が平行になるように配置している。そのため、図3(a)に示すように、グローバル配線19をこれと平面視座上、直交する新たなグローバル配線19'に接続し、これに従いマイクロパッド20の配列方向を90度方向変換している。即ち、グローバル配線19と異なる配線層に形成された新たなグローバル配線19'とを接続点24においてコンタクトビアを介し電氣的に接続する。その結果、行方向のグローバル配線(本実施例では、グローバル配線16, 17)と新たなグローバル配線19'は同一方向に延在することになるので、これら行方向のグローバル配線と新たなグローバル配線19'とを同一配線層を用いて形成することも可能になる。互いに交差することが無いからである。また、図示していないが、グローバル配線19'と第二半導体素子上の信号読み出し回路との間では、マイクロパッド20を二箇所以上設けることによりコンタクト抵抗を軽減し、或いはコンタクト不良の発生を防止してもよい。

#### 【0061】

さらに、前記新たなグローバル配線構造の採用により、同図(b)に示すように、信号読み出し回路5の各列のマイクロパッド20の配列ピッチを第一の半導体素子の第二の半導体面におけるグローバル配線19'に接続するマイクロパッド20の配列ピッチと同一とすることができる。その結果、行及び列走査回路等を第二の半導体素子上の周辺部の2辺に直交するように配置しなければならないという構造上の制約を克服することができる。

#### 【0062】

図4は、第二の実施形態における第二半導体素子120の第二半導体面側の構造を示す平面図(a)及び同図のA-A'部におけるMOSセンサの断面構造を示す断面図(b)である。本実施例では、画素13は、図5(a)に示す4トランジスタ構成の画素回路により、電気信号に変換する。読み出しトランジスタ(Tr4)が追加されたため、さらに読み出し制御のためのグローバル配線18が必要になる。

#### 【0063】

なお、図1(a)及び図3(a)に対応する図面は省略したが、第一の実施例と同様に、第一半導体素子110の第一半導体面は、画素13によりほぼ全領域が占有されている。従って、素子の中心位置が受光領域中心位置と一致する構造を実現し、かつ不感領域を削減した撮像面を形成する。4トランジスタ構成の画素回路は、リセット信号16、行選択信号17、読み出し信号18により駆動され、フォトダイオードに蓄積した信号電荷を出力信号線19により外部に読み出す。これらの信号線16, 17, 18及び19はグローバル配線となり受光領域外、即ち第二半導体素子に形成された集積回路とをマイクロパッド20及びマイクロバンプ26を介し接続する。本実施例では、一画素あたり三本の行方向のグローバル配線とこれに直交する方向に走る一本の列方向グローバル配線が形成さ

れる。その結果、 $m \times n$ 画素からなる受光領域の場合には、電源及びグラウンド配線を除いて、少なくとも行方向に3本、列方向にn本のグローバル配線が設けられる。

【0064】

第一の実施例と同様、グローバル配線19をこれと平面視座上、直交する新たなグローバル配線19'に接続し、これに従いマイクロパッド20の配列方向を90度方向変換している。さらに本実施例では、信号読み出し回路5を第二半導体基板の中央部に配置することにより、グローバル配線19の配線長に新たなグローバル配線19'の配線長を加えた総配線長距離を最小化し信号線負荷容量の増大を抑制できると同時に、シェーディング（画面中央付近と周辺部における感度差）を軽減できる。

【0065】

第一の実施形態と同様、グローバル配線16、17、18は層間絶縁膜により被覆されているため、コンタクトビア25を介してグローバル配線の一部とマイクロパッド20とを接続している。第二半導体素子についても同様に、グローバル配線16、17、18に駆動信号を供給或いは出力信号を入力するマイクロパッド20がコンタクトビア25を介し内部回路に接続している。図4(a)及び(b)に示すように、グローバル配線16、17、18は、同一方向に延在しかつ一画素あたり3本配置する必要がある。そのため、本実施例では、グローバル配線16と18を同一のメタル配線層を用い形成されている。他方、グローバル配線17は、異なるメタル配線層により形成されている。これにより、グローバル配線16、17、18及びマイクロパッド20同士の間隔を広げることが容易になる。なお、同図(b)では、グローバル配線17に対応するマイクロパッド20及びマイクロバンプ26が図示されていない。これは、同図(a)からも明らかなように、グローバル配線17に対応するマイクロパッド20及びマイクロバンプ26がA-A'断面位置には存在しないからである。

【0066】

図6は第三の実施形態に係る第一半導体素子110の平面図(a)及び第二半導体素子120の平面図(b)である。なお、同図(a)はすでに説明したように、第一半導体素子110の第一半導体面側から第二半導体面を透視した図面となっている。同図(b)に示すように、垂直走査回路3は、水平走査回路4及び水平読み出し回路5とその長手方向が平行になるように配置しており、かつ水平読み出し回路5を第二半導体素子の中央部に配置している。そのため、第二の実施例とは異なり、画素出力信号線に係るグローバル配線19をこれと平面視座上、直行する新たなグローバル配線とする必要は無い。その代り、以下に説明するように、垂直走査回路から供給する画素駆動信号に係るグローバル配線を、平面視座上、直行する新たなグローバル配線に接続する必要がある。

【0067】

図5(a)に示した4トランジスタ画素回路を採用した場合における行方向のグローバル配線数は、1画素当たり3本であった。素子の微細化等設計上及び製品歩留まり等の製造上の観点から、グローバル配線の本数及びこれらに電氣的に接続するためのマイクロパッドの個数が少ないほど好ましい。図5(b)に示す4画素共有回路を用いることにより、フォトダイオード14及び読み出しトランジスタ( $Tr_4$ )をそれぞれ4個具備するが、増幅トランジスタ( $Tr_1$ )及びリセットトランジスタ( $Tr_2$ )をそれぞれ1個とし、行選択トランジスタを削除することにより、一画素当たり1.5トランジスタの画素回路を実現できる。その結果、行方向のグローバル配線数を、一の4画素共有回路当たり5本、即ち一画素当たり1.25本に削減することができる。これにより、さらに画素を微細化し、或いはMOSセンサを小型化することが容易になる。本実施例では、図6(a)に示すように、破線で囲まれた垂直方向の4画素について上記の共有画素回路構成を適用している。

【0068】

図6(a)において、垂直走査回路3から出力される駆動信号を伝達するグローバル配線群（リセット信号16、読み出し信号18-1、18-2、18-3、18-4）をこれらと平面視座上、直交する新たなグローバル配線群（16'、18-1'、18-2'、

10

20

30

40

50

、18-3'、18-4')に接続し、これに従いマイクロパッド20の配列方向を90度方向変換している。これらのグローバル配線は接続点24においてコンタクトビアを介し電氣的に接続する。その結果、新たなグローバル配線群(16'、18-1'、18-2'、18-3'、18-4')とグローバル配線19は同一方向に延在することになる。そのため、これらを、同一配線層を用いたパターンニングにより形成することも可能になる。互いに交差することが無いからである。なお、図6(a)中において、一点鎖線で図示した矩形(2か所)は、それぞれ図(b)における垂直走査回路3と水平読み出し回路5に対応する位置を説明するために書きくわえたものである。本構造により、一般的な画面の縦横比(縦方向よりも横方向が長い)においては、垂直走査回路を90°回転し、水平走査回路と平行になるように配置することにより、垂直走査回路の長手方向を短縮することなく何れの走査回路も第二半導体素子上に並列配置することができる。また、画素信号を出力するグローバル配線19の配線長を延長する必要が無い。

#### 【0069】

図7は第四の実施形態に係る第一半導体素子110の平面図(a)及び第二半導体素子120の平面図(b)である。なお、同図(a)はすでに説明したように、第一半導体素子110の第一半導体面側から、第一半導体素子110の第二半導体面を透視した図面となっている。さらに、同図(a)においては、図面が煩雑になるのを避けるため、画素信号を出力するグローバル配線19を敢えて記載していないが、図6(a)と同様、新たなグローバル配線群(16'、18-1'、18-2'、18-3'、18-4')と平行にグローバル配線19が存在する。なお、図7(a)中において、一点鎖線で図示した矩形は、図(b)における垂直走査回路3に対応する位置を説明するために書きくわえたものである。第三の実施形態と異なる点は、垂直走査回路3の長手方向を拡大し、水平走査回路4と同等としたことである。これにより、新たなグローバル配線群(16'、18-1'、18-2'、18-3'、18-4')の配線間の距離(スペース)を広くできるので、画素サイズを微細化した場合においても配線が容易であり、かつ垂直走査回路3の設計も容易になる。さらに好ましくは、グローバル配線(16、18-1、18-2、18-3、18-4)と新たなグローバル配線(16'、18-1'、18-2'、18-3'、18-4')の各信号における総配線長が同一になるように、新たなグローバル配線(16'、18-1'、18-2'、18-3'、18-4')の配線長の長さを延長した延長部を有している。本構造により、信号線負荷容量が一様になるので、信号遅延のバラツキに起因する感度ムラや固定パターンノイズ等の画質低下を改善或いは防止することができる。

#### 【0070】

図8は、第五の実施形態における第一半導体素子110の平面図(a)、第二半導体素子120の平面図(b)、及びMOSセンサ100の斜視図(c)である。なお、同図(a)はすでに説明したように、第一半導体素子110の第一半導体面側から、第一半導体素子110の第二半導体面を透視した図面となっている。本実施形態では、図示するように、第一半導体素子110の四隅(コーナ部)に、研磨領域30-11、30-12、30-13、30-14、及び第二半導体素子120の第一半導体素子110の四隅に対応する位置に、研磨領域30-21、30-22、30-23、30-24を有している。研磨領域には、第一半導体素子110については、画素13を有していないが、研磨領域外から延長したグローバル配線を有する場合がある。第二半導体素子120については、回路部、入出力端子、入出力バッファを有していない。

#### 【0071】

このような構造を有する第一半導体素子110と第二半導体素子120を積層し、同図(c)の左に示すMOSセンサ100を形成する。その後、MOSセンサ100を搭載する撮像装置の形状に従い、研磨領域に相当する部位の一部またはすべてを化学的、或いは機械的研磨等により除去することにより、同図(c)の右に示すような外周が八角形のMOSセンサ100を製造することができる。本構造により、撮像装置のニーズに合わせた外形形状を容易に実現することができる。後述するように、ダイシング法によっても五角形以上の多

10

20

30

40

50

角形或いは円形等の形状を作ることとは可能であるが、本構造によれば特殊なダイシング方法を必要とせず、研磨量を調節することにより任意の外形状を容易かつ迅速に作ることができる。また、本実施例では、同図(a)に示すように、受光領域の周囲の一部は画素13が階段状に並んでおり、結像領域内の情報を効率的に検出できる配置となっている。なお、本実施形態では、四隅の全てを研磨領域としたが、これに限定されず、一か所、二か所、或いは三か所のみを研磨領域とすることもできる。

#### 【0072】

図9は、第六の実施形態における第一半導体素子110の平面図(a)、第二半導体素子120の平面図(b)、及び第三半導体素子130をさらに積層したMOSセンサ100の斜視図(c)である。なお、同図(a)はすでに説明したように、第一半導体素子110の第一半導体面側から、第一半導体素子110の第二半導体面を透視した図面となっているが、グローバル配線等は省略し画素配列のみ記載している。本実施形態では、MOSセンサ100をさらに小型化する場合に好適な構造を開示している。既に指摘したように、撮像素子のサイズが小さくなると周辺回路(不感帯領域)の面積は受光領域の面積に対し相対的に大きくなる傾向にある。特に、入出力端子部分の占める面積が、第二半導体素子120に占める割合が大きくなるので、端子数を減らし、或いは周辺回路の一部を第二半導体素子120の外部に形成する必要があるが生じる。特に、血管等に内視鏡を挿入する場合等にはより細径化が求められるため、本実施例に示すような円形、或いは五角形以上の多角形であることが望ましい。

#### 【0073】

図9(a)に示すように、第一半導体素子110の外形は円形であり、その内部に画素13をアレー状に配置している。それ以外の構造に関しては、図8(a)と同様、グローバル配線を第一半導体素子110の第二半導体面側に形成している。さらに、第二半導体素子120の平面図(b)に示すように、第二半導体素子120の第二半導体面上には、垂直走査回路3、水平走査回路4、水平読み出し回路5、AD変換回路7、及びインターフェース(I/F)回路9が形成されている。なお、AD変換回路7は、図示するように、画素列毎にAD変換を行うカラム型AD変換回路が望ましい。それ以外の周辺回路、例えば、駆動タイミング発生回路、その他のデジタル信号処理回路等は第三半導体素子130に形成されている。即ち、同図(c)に示すようにMOSセンサ100は、第二半導体素子120の第一半導体面と第三半導体素子130の一方の面をマイクロパッド及びマイクロバンプにより電氣的に接続し、第三半導体素子130の他方の面に外部入出力パッドを設けた三層構造から構成されている。

#### 【0074】

前述の如く、第一半導体素子110の第一半導体面は画素13からなる受光領域2に占有させることができるので、従来、不感領域となっていた垂直、水平走査回路等を配置する必要が無い。そのため、レンズ光学系により集光されたセンサ面上の結像領域(図中の一点鎖線の円形)内のみ画素13を配置すれば良い。該結像領域の外には画像情報が無いためである。なお、図示していない結像領域の中心、受光領域の中心及び第一の半導体素子110の中心位置が一致していることは言うまでもない。

#### 【0075】

なお、従来のウエーハダイシング技術では、第一半導体素子110、第二の半導体素子120、及び第三半導体素子130の外形を、円形、楕円形、その他五角形以上の多角形に加工することは困難であった。近年、従来のブレードダイシング法或いはレーザ溶融方式とは異なる新たなレーザ加工方法が実用化している(特許文献8)。即ち、多光子吸収を起こさせる条件でかつ加工対象物であるシリコン基板内部に集光点を合わせ、パルスレーザを切断予定ラインに沿って移動させることにより、被加工物、例えばシリコン基板内部にクラック等の改質領域を切断予定ラインに沿って形成する。このようにして形成された改質領域は、基板切断時の起点となるもので、自然に割断あるいはその後の曲げ応力やせん断応力等の人為的な力を加える工程を経て制御性のよい割断方法が実現する。そのため、格子状のダイシングラインに限定されることなく、曲線を含むダイシングラインであ



っても良いため、素子の外形形状を円形、楕円形及び五角形以上の多角形に加工することも容易である。

#### 【0076】

図10は、第七の実施形態における第一半導体素子110の平面図(a)、及び平面図(a)記載のA-A'部分に対応するMOSセンサ100の断面図(b)である。なお、同図(a)はすでに説明したように、第一半導体素子110の第一半導体面側から、第一半導体素子110の第二半導体面を透視した図面となっている。本実施形態では、図7(a)に示した制御信号に係るグローバル配線、例えば16、18-1、18-2、18-3、18-4を受光領域の外部まで延長する。即ち、図10(a)におけるA-A'部断面構造(同図(b))に示すように、グローバル配線(本図では18-1)を素子端部の素子分離領域28の下部まで延在させ、図示していない不純物をドーブしたポリシリコン抵抗を介し $n^+$ 領域に接続している。 $n^+$ 領域は、画素読み出し回路に隣接する位置にある、図示していないMOSトランジスタのドレイン部を形成しており、該MOSトランジスタのゲートはソース部と共に接地(GND)されている。図10(a)に図示するように、これらの抵抗成分とMOSトランジスタは、以下に説明する静電気破壊に対する保護回路11'を形成する。

10

#### 【0077】

図11(a)は、図17において説明した外部入力端子とMOSトランジスタの入力ゲート電極の間に挿入される入力保護回路11'の一例である。アバランシェブレークダウンを利用した保護回路であり、ゲート接地した $n$ MOSトランジスタ、ピーク電流を制限する3K程度の直列抵抗( $R_r$ )及び1~10K程度の並列抵抗( $R_d$ )から構成され、外部入力端子が高電圧の静電気に曝された場合においてもゲート絶縁膜の静電破壊を防止することができる。これに対し、図11(b)は、前記図10(b)に示した入力保護回路11'の等価回路、接地したシャント(短絡)配線34、及び第一半導体素子110のグローバル配線及び第二の半導体素子120の出力端子等を含む等価回路図である。本実施例では、入力保護回路11'の入力部33が、グローバル配線と直結している。そのため、グローバル配線に接続するMOSトランジスタのゲート酸化膜が静電破壊するリスクを回避できる。

20

#### 【0078】

さらに本実施形態においては、第一半導体素子の第一半導体面側に形成した遮光膜30の下方に保護回路11'が形成されている。図10(a)に図示したように、遮光膜30は受光領域の端部において数画素から数十画素列或いは画素行を外光から遮断するため、Al等の遮光性薄膜からなる。このような遮光領域は、「光学的黒」あるいは「オプティカルブラック(OB)」と呼ばれ、出力信号の黒レベルの基準を得るために形成される。本構造により、不感帯の面積増加を最小限に抑えつつ、かつグローバル配線につながる各画素の入力ゲート酸化膜の静電気破壊を防止できる。さらに保護回路11'を遮光膜下方に配置したので、光電荷による誤動作を回避できる利点がある。

30

#### 【0079】

図12は、第八及び第九の実施形態における第一半導体素子110の平面図(a)、及び平面図(a)のA-A'部に対応するMOSセンサ100の断面図(b)である。なお、同図(a)はすでに説明したように、第一半導体素子110の第一半導体面側から、第一半導体素子110の第二半導体面を透視した図面となっている。

40

#### 【0080】

第八の実施形態は同図(a)、及び(b)に図示するように、制御信号に係るグローバル配線、例えば図示するグローバル配線18-1の両端が第一半導体素子110の端部まで延在している。本構造により、第一半導体素子110をウエーハ基板上にパターンニングし、かつ素子間の所謂スクライブ領域上にアルミニウム(Al)等の導電体を別途パターンニングしておくことにより、上記第一半導体素子110上のグローバル配線と連結することが可能になる。その結果、後述するように、ウエーハ周辺領域等に配置したシャント配線、或いは静電気保護回路と接続し、グローバル配線と接続する入力ゲート酸化膜の静電

50

破壊を防止することができる。第一半導体素子 110 及び第二半導体素子 120 を積層した後においては、グローバル配線が外部環境に曝されることなく、また第二の半導体素子 120 第二の半導体素子 120 側の出力端子（マイクロパッド 20）に直結するため、グローバル配線に接続する MOS トランジスタのゲート酸化膜が静電破壊するリスクは低下する。

#### 【0081】

他方、第一半導体素子 110 及び第二半導体素子 120 を積層する前においては、第一半導体素子 110 における入力ゲート酸化膜を静電気破壊から保護する必要がある。そこで、本実施例のように、グローバル配線を第一半導体素子 110 上において素子端部まで延在させておけば、少なくとも、図 11（b）に図示するように、グローバル配線がシャント配線、或は保護回路 11' の接続点 33 と接続しているため、入力ゲート酸化膜を静電気破壊から保護することができる。他方、第一半導体素子 110 及び第二半導体素子 120 の積層工程後においては、図 11（b）に図示するように、グローバル配線は、第二半導体素子 120 の出力端子に対応するマイクロパッド 20 に接続しているため、積層したウエーハ基板をダイシングにより切断した後においても、入力ゲート酸化膜の静電気破壊リスクは軽減される。

#### 【0082】

第九の実施形態は同図（b）に図示するように、第一半導体基板 110 の第一半導体面側に形成した受光領域の端部における素子分離領域 28 の幅（L3）が、受光領域内部の画素間の素子分離領域 28 の幅（L2）の 1/2 であることを特徴とする。本構造により、二以上の MOS センサを近接させて使用する多面撮像装置を構成する場合において、素子間における画素の欠落を最小限とすることができ、また複数の素子間においても画素間距離（L1）、即ち、サンプリングポイントを素子間境界領域においても一様に維持することができる。さらに好適には、上述の如く、制御信号に係るグローバル配線、例えば 16、18-1、18-2、18-3、18-4 を受光領域の端部まで延在した構造を有することが好ましい。製造段階、即ちウエーハ状態においては、複数の第一半導体素子 110 の間にはスクライプ領域を別途設けることなく、第一半導体素子 110 のマスクパターンを連続してパターニング（面付け）することにより、上記の素子分離領域 28 及びグローバル配線が素子と素子の間においても連続形成された構造とすることができる。

#### 【0083】

図 13 は、第十の実施形態における第一半導体素子 110 を製造するためのウエーハ 210（半導体集積回路）の平面図（a）、平面図（a）の一部拡大図（b）、及び拡大図（b）の断面構造図（c）である。平面図（a）及び平面図（a）の一部拡大図（b）に図示するように、第一半導体素子 110 を一又は複数個、第一のウエーハ基板上 210 上に配置し、各信号線に対応するグローバル配線がウエーハ上においても連続し、かつウエーハ周辺部まで延在している。ウエーハ周辺部には、シャント配線 34 が、さらに必要な場合は電氣的接続点 33 を介し、保護回路 11' がグローバル配線と接続している。入力保護回路 11' は、第一半導体素子 110 の外部であるが、第一半導体素子 110 を製造するための同一ウエーハ基板上において製造可能である。これらの等価回路は、既に、図 11（b）において説明した通りである。

#### 【0084】

同一信号のグローバル配線はスクライプ領域をまたいで複数の第一半導体素子 110 にわたり連続して延在し、入力保護回路 11' との間にある短絡配線 34 に接続する。短絡配線 34 を設けることにより、保護回路と接続すべき多数のグローバル配線を一つにまとめることができる。第一半導体素子 110 を面付けしたウエーハ基板 210 上には保護回路 11' がウエーハ基板の外周近傍に面付けされている。一般に、ウエーハ基板の外周近傍における半導体素子の製造歩留まりが低いこと及び保護回路自体は第一の半導体素子 110 に比べ微細加工を求められないからである。

#### 【0085】

図 13（c）の断面構造図に示すように、第一のウエーハ基板上 210 上にパターニング

10

20

30

40

50

された複数の第一半導体素子 1 1 0 の境界部分においては、グローバル配線が連続している。複数の第一半導体素子 1 1 0 の間の領域にグローバル配線のパターンが存在しない場合は、別途、アルミニウム等の導体を追加しグローバル配線を電氣的に連続させる必要があるが、本図に示すように、第一半導体素子 1 1 0 のマスクパターンを連続してパターンニングすることにより、素子間のグローバル配線をつなげることができる。

#### 【 0 0 8 6 】

なお、第二の半導体素子 1 2 0 を面付けしたウエーハ基板 2 2 0 は、第一の半導体素子 1 1 0 の第二半導体面と第二の半導体素子 1 2 0 の第二半導体面が対向するようにウエーハ基板 2 1 0 とウエーハ基板 2 2 0 を貼り合わせることであり本願発明のMOSセンサ 1 0 0 が一時に複数形成される。ウエーハ基板 2 2 0 上の第二の半導体素子 1 2 0 の配置は、ウエーハ基板 2 1 0 上の第一の半導体素子 1 1 0 配置に対応している。従って、ウエーハ基板 2 1 0 上に配置した保護回路 1 1 ' の位置に対応するウエーハ基板 2 2 0 上には第二の半導体素子 1 2 0 は面付けされていない。

#### 【 0 0 8 7 】

上記のウエーハ基板 2 1 0 とウエーハ基板 2 2 0 を貼り合わせた後に、ダイシングにより本願発明に係る個別のMOSセンサ 1 0 0 が得られる。ダイシング工程では、スクライプ領域上を通るグローバル配線も同時に切断される。シャント配線 3 4 と第一の半導体素子 1 1 0 の間を通るグローバル配線も同時に切断されるため、保護回路 1 1 '、及びシャント配線 3 4 は完全に第一の半導体素子 1 1 0 上のグローバル配線から切り離されることになる。

#### 【 0 0 8 8 】

第一半導体素子 1 1 0 上のMOSトランジスタのゲート酸化膜を静電破壊から保護する必要があるのは、第一半導体素子 1 1 0 及び第二の半導体素子 1 2 0 を積層する前の段階、即ち第一半導体素子 1 1 0 のウエーハ前工程のみである。既に、図 1 1 ( b ) に図示したように、グローバル配線がシャント配線 3 4、或は保護回路 1 1 ' の接続点 3 3 と接続しているため、入力ゲート酸化膜を静電気破壊から保護することができ、第一及び第二半導体素子の積層工程後は、グローバル配線は、第二半導体素子 1 2 0 の出力端子に対応するマイクロパッド ( 2 0 ) に接続する。そのため、ウエーハ基板をダイシングにより切断した後、入力ゲート酸化膜の静電気破壊リスクは軽減されている。

#### 【 0 0 8 9 】

図 1 4 は、第十一の実施形態における第一半導体素子 1 1 0 を製造するためのウエーハ 2 1 0 ( 半導体集積回路 ) の平面図 ( a )、第一半導体素子 1 1 0 を製造するための第一のウエーハ基板 2 1 0 と第二半導体素子 1 2 0 を製造するための第二のウエーハ基板 2 2 0 を積層した積層ウエーハ 3 0 0 ( 半導体集積回路 ) の断面構造図 ( b )、及び断面構造図 ( b ) の一部を拡大した断面構造図 ( c ) である。

#### 【 0 0 9 0 】

同図 ( a ) 及び ( b ) に図示するように、第一半導体素子 1 1 0 の一又は複数個を第一のウエーハ基板 2 1 0 上に連続配置し、図示していないグローバル配線がウエーハ上においても連続し、かつウエーハ周辺部まで延在し、図示していないシャント配線、或は入力保護回路に接続する構造は、図 1 3 で説明した構造と同様である。さらに、第一半導体素子 1 1 0 の第二半導体面と第二半導体素子 1 2 0 の第二半導体面が対向するように第一のウエーハ基板 2 1 0 と第二のウエーハ基板 2 2 0 とをマイクロパンプ 2 6 を挟んで貼り合わせ、積層ウエーハ 3 0 0 を得る。第一半導体素子 1 1 0 の第一半導体面側には、画素 1 3 上に複数のマイクロレンズ 3 2 が形成されている。また、第二半導体素子 1 2 0 の第一半導体面側には、複数の外部接続端子 2 3 が形成されている。

#### 【 0 0 9 1 】

本実施例では、複数の第一半導体素子 1 1 0 の間にはスクライプ領域を別途設けることなく、第一半導体素子 1 1 0 のマスクパターンを連続してパターンニング ( 面付け ) することにより、上記の素子分離領域 2 8 及びグローバル配線が素子と素子の間においても連続形成された構造とすることができる。図 1 4 ( c ) の断面構造図を参照しながら説明すると

、第一半導体素子 1 1 0 と隣接する第一半導体素子 1 1 0 の境界はダイシング位置に相当する。この境界部分における素子分離領域の幅は、第一半導体素子 1 1 0 に形成された受光領域における素子分離領域の幅 ( L 2 ) と同等である。従って、この境界部分の中央部においてウエーハをダイシングすることにより、第九の実施形態における MOS センサ 1 0 0 を製造することが可能になる。なお、ウエーハダイシングにおいては、既に説明したレーザ加工方法 ( 特許文献 8 ) を用いるのが好適である。

#### 【 0 0 9 2 】

本構造により、複数の第一半導体素子 1 1 0 の間にはスクライプ領域を別途設けることなく、第一半導体素子 1 1 0 のマスクパターンを間隙を空けずに連続してパターンニング ( 面付け ) することにより、上記の素子分離領域 2 8 及びグローバル配線を素子間において連続させ、かつ画素の配列ピッチを一様に維持した状態でウエーハ上に規則的に分布させることができる。そのため、必要とされる MOS センサの外形形状に応じ、ダイシングにより任意の素子形状を有する MOS センサを個片化することが可能になる。加えて、スクライプ領域と呼ばれるダイシング時の切り白幅を確保する必要が無いので、一枚のウエーハから個片化できる第一半導体素子 1 1 0 の個数を増大させることができる。

#### 【 0 0 9 3 】

また、本構造により、MOS センサの外形形状を予め決定する以前に MOS センサを構成する第一半導体基板の製造工程を開始でき、かつ大量生産及び少量多品種のいずれにも対応することができるので、納期短縮と製造コストの削減が容易になる。好ましくは、第十の実施形態 ( 図 1 3 ) と同様、ウエーハ周辺部にシャント配線又は入力保護回路を配置することにより、各グローバル配線につながる入力ゲート酸化膜の静電気破壊を防止できることは言うまでもない。このように、一枚のウエーハ基板から多数の第一半導体素子を製造可能であり、かつ静電気破壊による製造歩留りの低下を防止できるので、製造コストの飛躍的な削減が期待される。そのため、特に「使い捨て」を前提とするカプセル型内視鏡用途等に適用する場合において、大幅なコストダウンに寄与する。

#### 【 0 0 9 4 】

本発明の実施形態に係る製造工程 ( フローチャート ) を図 1 5 に示す。第一半導体素子 1 1 0 を面付けしたウエーハ 2 1 0 の前工程においては、半導体素子 1 1 0 上において画素を駆動する各グローバル配線は、ウエーハ周辺領域まで連続して延在した構造を形成する工程を含む。また、第二半導体素子 1 2 0 を面付けしたウエーハ 2 2 0 の前工程においては、第二半導体素子 1 2 0 の第一半導体面の外部接続端子 2 3 と第二半導体面側のパッド 2 1 を電氣的に接続する TSV 構造の形成工程を含む。ウエーハ 2 1 0 、 2 2 0 共にマイクロパッド形成工程を有する。次に、ウエーハ 2 1 0 、 2 2 0 、必要に応じて 2 3 0 を互いに貼り合わせた後に、互いに対向するマイクロパッドを確実に導通させるため、ウエーハ 2 1 0 、 2 2 0 、 2 3 0 面上のいずれかまたは全てにマイクロパンプを形成する。

#### 【 0 0 9 5 】

ウエーハ 2 1 0 とウエーハ 2 2 0 を貼り合わせ後、ダイシング工程に進み、個別の MOS センサ 1 0 0 に分割する。なお、第三半導体素子 1 3 0 を積層する MOS センサにおいては、ウエーハ 2 1 0 とウエーハ 2 2 0 を貼り合わせ後に、第三半導体素子 1 3 0 を形成するウエーハ 2 3 0 をさらに積層する工程をダイシング工程前に挿入してもよい。既に説明したように、ウエーハ 2 1 0 とウエーハ 2 2 0 を貼り合わせる前段階においては、第一半導体素子 1 1 0 の MOS トランジスタのゲート絶縁膜の静電気破壊を防止する手段を講じている。ダイシング工程において、保護回路部分を分離分割する工程を含む。また、ダイシング後、個片化した MOS センサ 1 0 0 の四隅 ( コーナ部 ) を研磨し、より狭い空間内への実装を容易にする工程を付加してもよい。

#### 【 0 0 9 6 】

図 1 6 ( a ) は、第十二の実施形態であり、本願発明の MOS センサ 1 0 0 を組み込んだプローブ型内視鏡 4 0 0 の構造図である。集光レンズ 4 0 1 、照明用 LED 4 0 3 、支持基板 4 0 4 、通信ケーブル 4 0 7 から構成されている。MOS センサの外形および受光領域が円形であるため、断面が円形の内視鏡プローブ内に効率的に組み込むことができる。また、

10

20

30

40

50

受光領域中心の位置がMOSセンサの外形中心位置と一致しているので、レンズ光学系中心402に入射角度ゼロ度で入射する入射光がMOSセンサの外形及び撮像領域中心位置に到達する。

#### 【0097】

図16(b)は、第十三の実施形態であり、本願発明のMOSセンサ100を組み込んだカプセル内視鏡500の構造図である。集光レンズ501、照明用LED503、支持基板504、ボタン電池505、無線通信インターフェイス素子506、通信アンテナ507から構成されている。MOSセンサの外形が円形であるため、レンズと同じ円形のレンズ鏡筒に取り付けられ、断面が円形のカプセル内に搭載されている。また、受光領域中心の位置がMOSセンサの外形中心位置と一致しているので、レンズ光学系中心502に入射角度ゼロ度で入射する入射光がMOSセンサの外形及び撮像領域中心位置に到達する。

10

#### 【0098】

図16(c)は、第十四の実施形態であり、本願発明のMOSセンサ100を縦方向に3個、横方向に3個タイル状に組み合わせた多面撮像装置600の構造図である。MOSセンサ100を複数並置することにより、容易に受光面積を拡大できる。既に説明した通り、不感帯領域が無いので組み合わせるMOSセンサ100の個数や組み合わせ形状は自由である。本撮像装置600は、初めから複数のMOSセンサ100を組み立て固定した撮像装置に限定されず、例えば、個別のMOSセンサ100を体内に挿入し、体内においてこれらをタイル状に密接して並置することにより撮像面積を拡大する用途などにも有効である。

#### 【産業上の利用可能性】

20

#### 【0099】

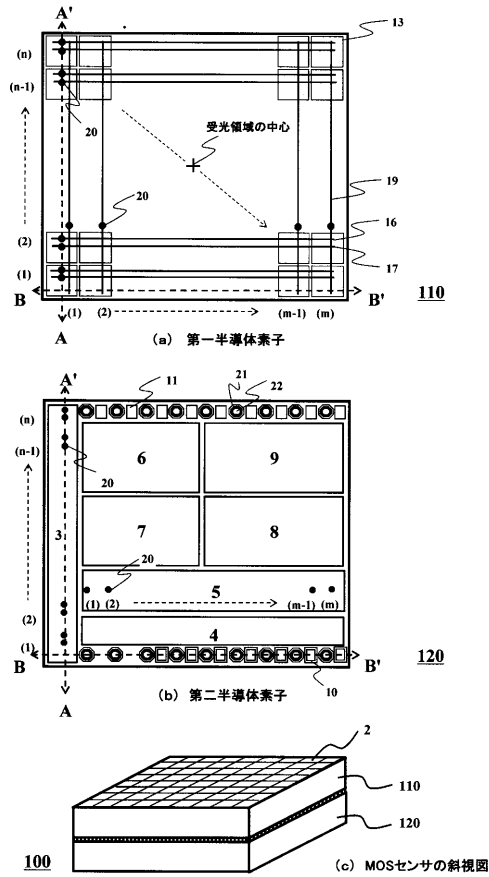
本発明のMOSセンサは、前記プローブ型内視鏡装置及びカプセル内視鏡装置等の医療用途に使用される場合に限定されない。小型、軽量を求められるデジタルカメラや携帯電話器等の小型携帯機器、多数のセンサを搭載する必要がある自動車等の車載用途、監視用途やロボットの目、さらには人工網膜等にも好適であることは言うまでもない。

#### 【符号の説明】

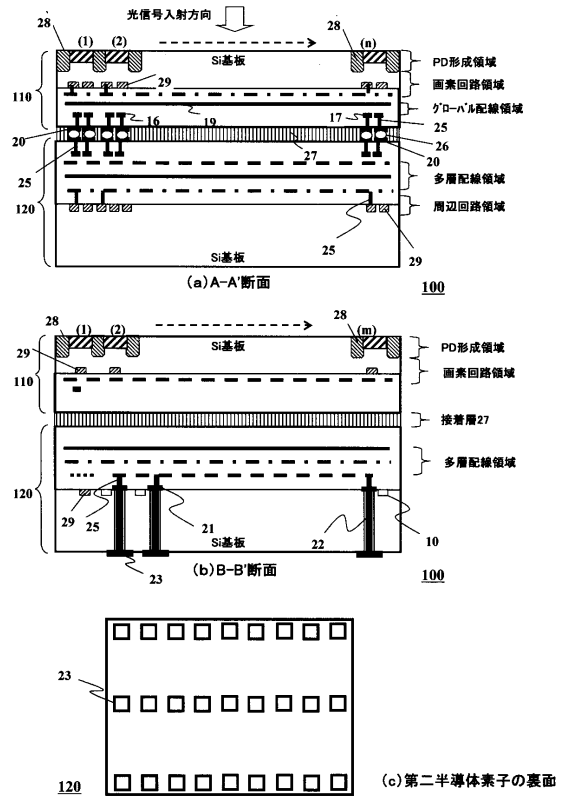
#### 【0100】

1	従来のMOSセンサ	
100	本発明のMOSセンサ	
110	第一半導体素子	30
120	第二半導体素子	
130	第三半導体素子	
210	第一半導体素子110を製造するためのウエーハ	
220	第二半導体素子120を製造するためのウエーハ	
230	第三半導体素子130を製造するためのウエーハ	
300	ウエーハ210及び220(及び230)を貼り合わせた積層ウエーハ	
400	細径内視鏡装置におけるプローブ先端部分	
500	カプセル型内視鏡装置	
600	多面撮像装置	
PD	フォトダイオード	40
Tr	トランジスタ	
Si	シリコン	
SiO <sub>2</sub>	二酸化シリコン	
n+	高濃度不純物(ヒ素又はリン)をドーピングしたn型シリコン層	

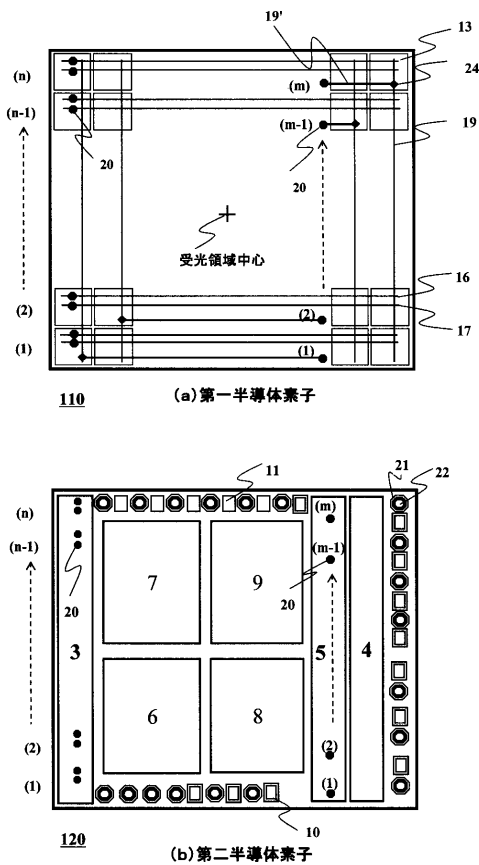
【図 1】



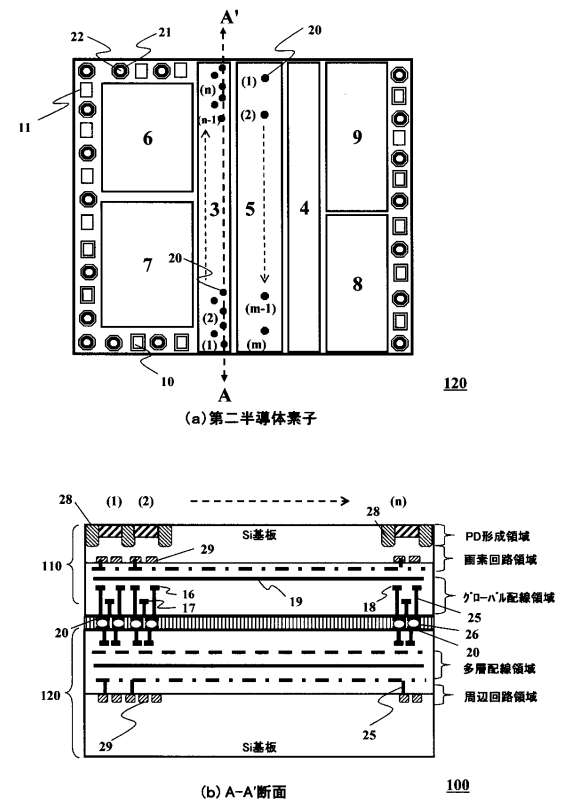
【図 2】



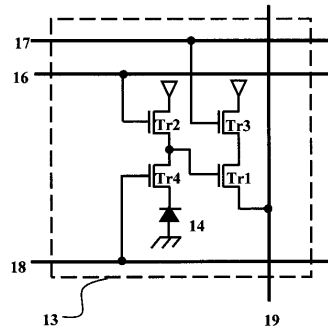
【図 3】



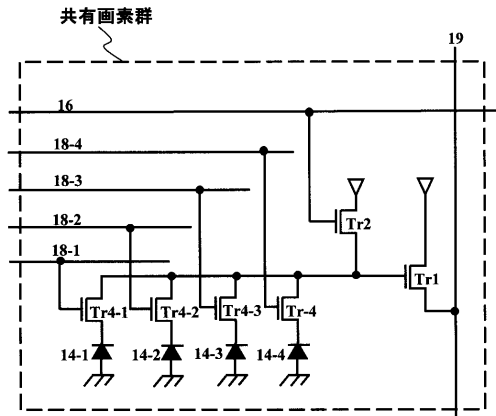
【図 4】



【図5】

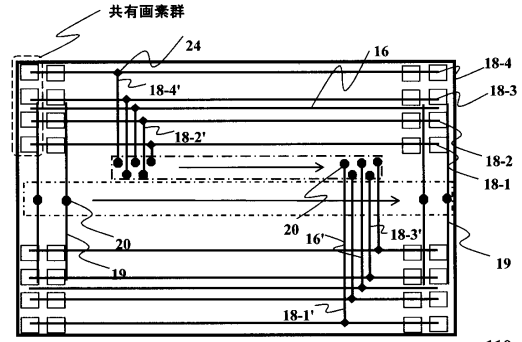


(a) 4トランジスタ画素回路



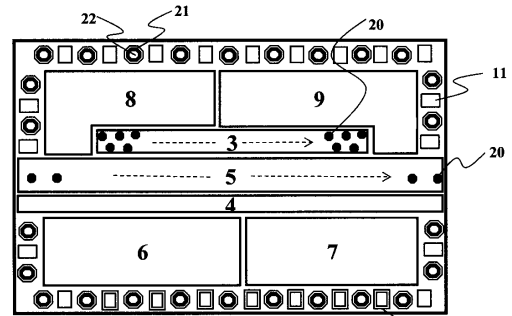
(b) 4画素共有回路

【図6】



(a) 第一半導体素子

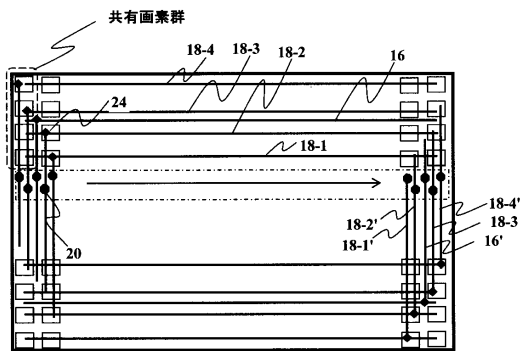
110



(b) 第二半導体素子

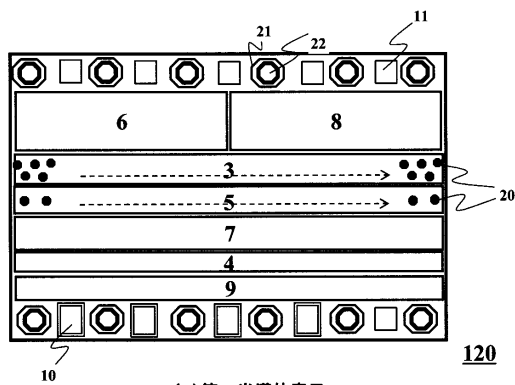
120

【図7】



(a) 第一半導体素子

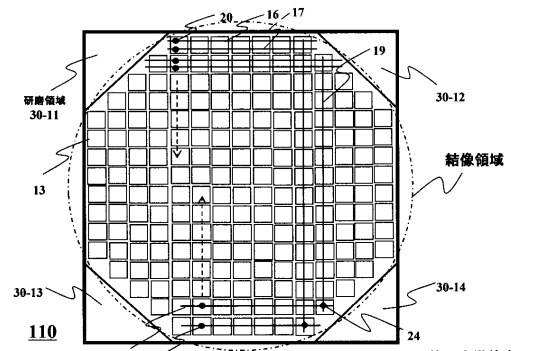
110



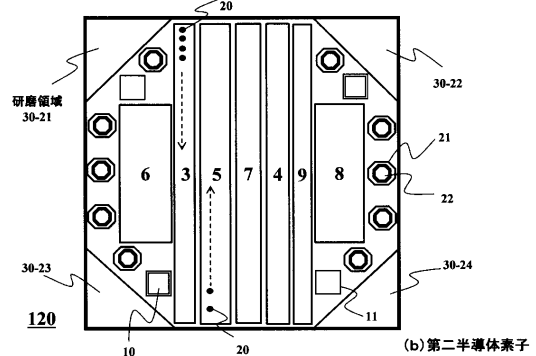
(b) 第二半導体素子

120

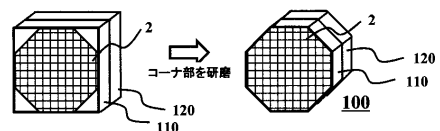
【図8】



(a) 第一半導体素子

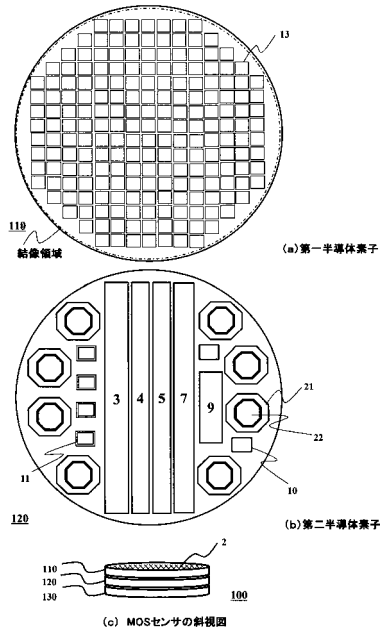


(b) 第二半導体素子

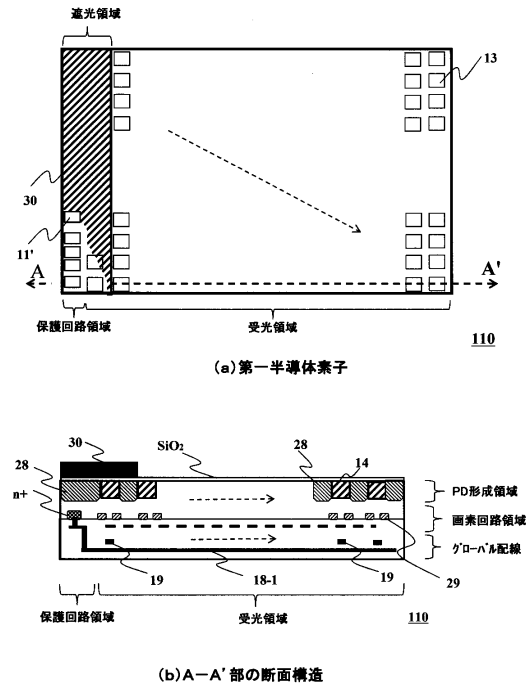


(c) MOSセンサの斜視図

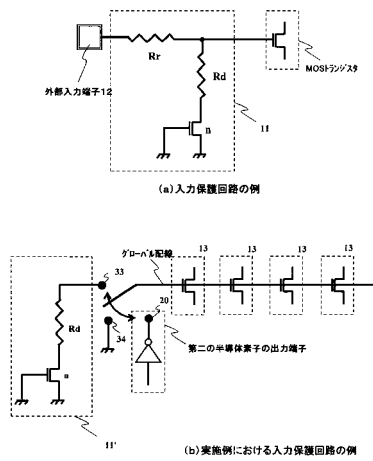
【図 9】



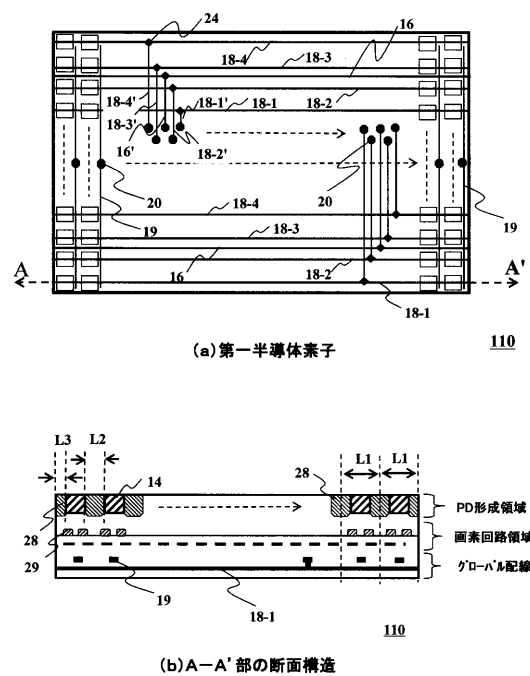
【図 10】



【図 11】

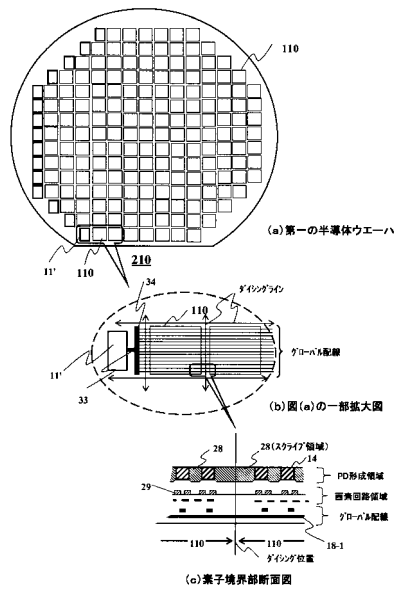


【図 12】

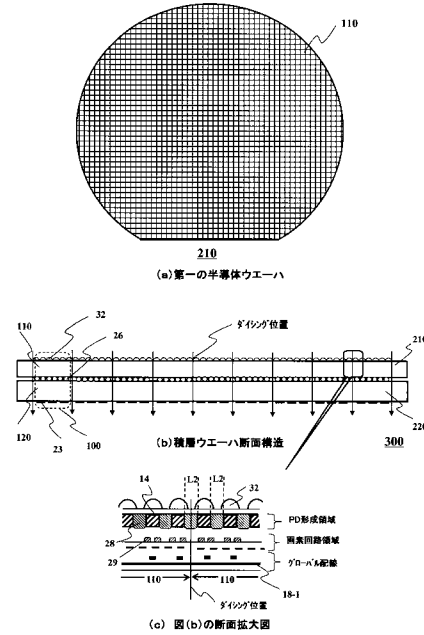




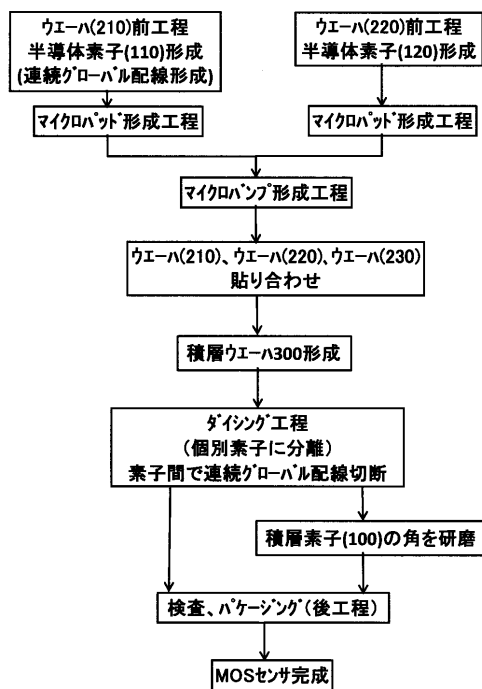
【図13】



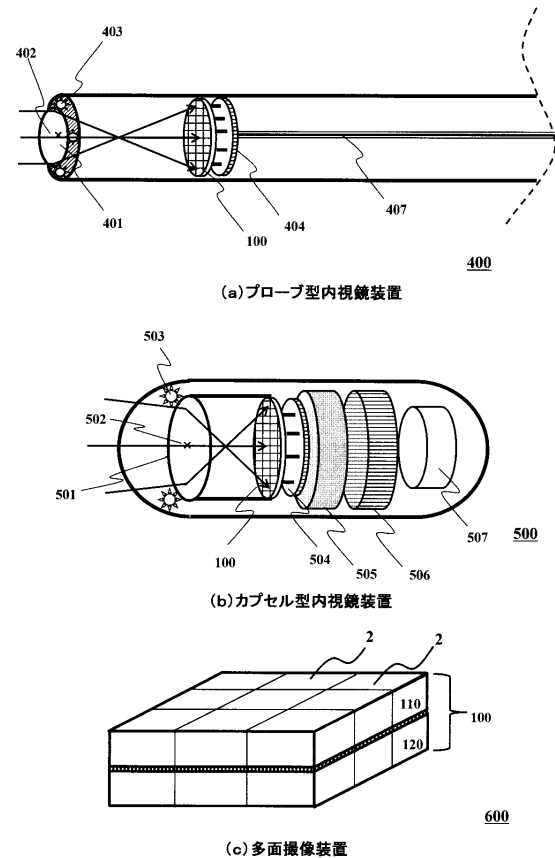
【図14】



【図15】



【図16】





## フロントページの続き

(56)参考文献 特開2012-054450(JP,A)  
特開2002-090462(JP,A)  
特開2002-344809(JP,A)  
特開2003-078827(JP,A)  
特開平10-093061(JP,A)  
特開昭60-068767(JP,A)  
特開昭63-181369(JP,A)  
特開2010-273757(JP,A)  
特開平02-008817(JP,A)  
特開2009-170448(JP,A)  
特開平08-064556(JP,A)  
特開平07-245386(JP,A)  
国際公開第2006/112320(WO,A1)  
特開2000-278605(JP,A)  
特開2013-090127(JP,A)  
特開昭61-128565(JP,A)  
特開2012-104684(JP,A)  
特開2013-051674(JP,A)  
特開2013-080838(JP,A)

## (58)調査した分野(Int.Cl., DB名)

H04N	5/30	-	5/378
H04N	5/222	-	5/257
H04N	7/18		
H01L	21/339		
H01L	27/14	-	27/148
H01L	29/762		
A61B	1/00	-	1/32
A61B	6/00	-	6/14
G01T	1/00	-	7/12

专利名称(译)	成像装置，半导体集成电路和成像装置		
公开(公告)号	<a href="#">JP5421475B2</a>	公开(公告)日	2014-02-19
申请号	JP2013033593	申请日	2013-02-22
申请(专利权)人(译)	雫石 誠		
当前申请(专利权)人(译)	雫石 誠		
[标]发明人	雫石 誠		
发明人	雫石 誠		
IPC分类号	H04N5/374 H04N5/225 H01L27/146 H01L27/14 A61B1/04		
CPC分类号	H01L27/1469 H01L27/14605 H01L27/14634 H04N5/335		
FI分类号	H04N5/335.740 H04N5/225.D H01L27/14.A H01L27/14.D A61B1/04.370 A61B1/00.C A61B1/04 A61B1/04.530 H01L27/146.A H01L27/146.D H04N5/225 H04N5/225.400 H04N5/225.500 H04N5/225.800 H04N5/374		
F-TERM分类号	4C161/BB02 4C161/CC06 4C161/DD04 4C161/DD07 4C161/JJ06 4C161/LL02 4C161/NN01 4C161/PP01 4M118/AA01 4M118/AA05 4M118/AB01 4M118/BA14 4M118/CA02 4M118/CA24 4M118/FA06 4M118/FA26 4M118/FA28 4M118/GB03 4M118/GB09 4M118/HA22 4M118/HA31 4M118/HA33 5C024/AX01 5C024/BX02 5C024/CX41 5C024/CY47 5C024/GY31 5C024/HX01 5C024/HX02 5C122/DA03 5C122/DA26 5C122/EA06 5C122/EA54 5C122/FC02 5C122/FC04 5C122/GE05 5C122/GE11 5C122/GE22		
审查员(译)	鈴木 肇		
优先权	2012150521 2012-07-04 JP		
其他公开文献	JP2014030170A		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

要解决的问题：提供一种紧凑的MOS传感器，其包括在传感器表面上没有死区区域的元件结构，以及配备有该传感器的紧凑型图像拾取装置。一种结构，其中具有光接收区的第一半导体元件和其上形成有像素驱动和读取电路的第二半导体元件通过微焊盘和微凸块堆叠，并且控制信号在第一半导体元件上全局布线延伸到元件端部，并且形成在第二半导体元件中的垂直和水平扫描电路布置成使得它们的纵向方向平行。点域

【图 2】

